



## **Propuesta de Paralelización del Método Híbrido de Estimación de estado usando Cómputo en paralelo basado en Unidades de Procesamiento Gráfico**

Cindy Viridiana Zabala Oseguera<sup>1</sup> y Antonio Ramos Paz<sup>1</sup>

<sup>1</sup> Universidad Michoacana de San Nicolás de Hidalgo. cindy.zabala@umich.mx

El monitoreo continuo del sistema eléctrico tiene como objetivo garantizar el estado operativo y seguro del mismo. Las condiciones operativas de un sistema se pueden conocer a través del modelo de red y los voltajes complejos en cada nodo del sistema. La estimación de estado es un procedimiento mediante el cual se obtienen voltajes y ángulos de cada nodo en un sistema eléctrico a partir de mediciones existentes y la topología del sistema. Los resultados obtenidos del estimador se utilizan en otros estudios, de suma importancia para el sistema eléctrico, tales como: flujos óptimos de potencia, análisis de contingencias y estudios de seguridad. Tradicionalmente, las mediciones en un sistema eléctrico, se obtenían a través del Sistema de Supervisión y Control de Adquisición de Datos (SCADA por sus siglas en inglés); posteriormente se comenzaron a utilizar las Unidades de Medición Fasorial (PMUs por sus siglas en inglés). El costo asociado al uso de las PMUs ha llevado a modificar la formulación tradicional de estimación de estado de tal forma que las mediciones provenientes de las PMU puedan ser consideradas en conjunto con las mediciones SCADA<sup>1</sup>. El estimador de estado presentado en este trabajo consta de dos etapas: en una primera etapa, se utiliza la formulación convencional por mínimos cuadrados ponderados con las mediciones SCADA y finalmente en la segunda, se lleva a cabo nuevamente el proceso de estimación con las mediciones PMU y el vector de estado estimado resultado de la primera etapa<sup>2</sup>. El tiempo de ejecución del algoritmo de estimación de estado híbrido de dos etapas es optimizado a través del uso de Cómputo en Paralelo Basado en Unidades de Procesamiento Gráfico (GPUs por sus siglas en inglés). El algoritmo optimizado se probó en los sistemas de prueba del IEEE (Instituto de Ingenieros en Electricidad y Electrónica, por sus siglas en inglés) de 14, 30, 118 y 300 nodos comparando su desempeño con su contraparte secuencial. La GPU utilizada en este trabajo, es una tarjeta GeForce GTX 660 OEM de NVIDIA. La propuesta de paralelización logró una reducción significativa en el tiempo de ejecución, el cual fue incrementando conforme el tamaño del sistema aumentaba. Con este trabajo se muestra una aplicación práctica de las GPUs en el área de los sistemas eléctricos de potencia, en específico, en la estimación de estado híbrida. El uso de las GPUs permite la disminución del tiempo de ejecución del algoritmo y en consecuencia la posibilidad de realizar dicho estudio tiempo menor.

1. Chatterjee, P., Pal, A., Thorp, J. S., & De La Ree, J. (2015, February). *Partitioned linear state estimation*. In *2015 IEEE Power & Energy Society Innovative Smart Grid Technologies Conference (ISGT)* (pp. 1-5). IEEE.

2. Soni, S., Bhil, S., Mehta, D., & Wagh, S. (2012, September). *Linear state estimation model using phasor measurement unit (PMU) technology*. In *2012 9th international conference on electrical engineering, computing science and automatic control (CCE)* (pp. 1-6). IEEE.